แผนการสอน (Course Syllabus)

ประจำภาคปลาย ปีการศึกษา 2558

1. คณะ วิศวกรรมศาสตร์ **ภาควิชา** วิศวกรรมไฟฟ้า

2. รหัสวิชา 01205232 **ชื่อวิชา (ไทย)** การออกแบบวงจรดิจิทัลและตรรกะ

จำนวน 3 **หน่วยกิต** **(อังกฤษ)** Digital Circuits and Logic Design

3. เนื้อหารายวิชา (Course Description)

ระบบจำนวนและรหัส พีชคณิตแบบบูล หลักการการออกแบบวงจรตรรกะเชิงจัดหมู่และวงจรตรรกะเชิงจัดหมู่สำเร็จรูป การออกแบบวงจรโดยใช้แผนที่คาร์โน หลักการการออกแบบวงจรตรรกะเป็นลำดับและวงจรตรรกะเป็นลำดับสำเร็จรูป การออกแบบวงจรตรรกะโดยใช้สเตตแมชชีน การออกแบบวงจรตรรกะเป็นลำดับแบบประสานเวลาและไม่ประสานเวลา วงจรรวมดิจิทัลตระกูลต่างๆ อุปกรณ์ตรรกะแบบโปรแกรมได้ การต่อเชื่อมกับวงจรแอนะล็อก การแนะนำวิธีใช้โปรแกรม คอมพิวเตอร์เพื่อช่วยออกแบบวงจรดิจิทัล

4. วัตถุประสงค์ของวิชา

1. เพื่อให้นิสิตมีทักษะการคิดเชิงตรรกะที่ซับซ้อนอย่างเป็นระบบ
2. เพื่อให้นิสิตเรียนรู้ เข้าใจวงจรดิจิทัลแบบต่างๆ สามารถอธิบายการทำงาน และออกแบบวงจรได้
3. เพื่อให้นิสิตสามารถนำความรู้พื้นฐานของดิจิทัลไปประยุกต์ใช้กับงานที่มีความซับซ้อนมากขึ้นได้
4. เพื่อให้นิสิตมีความรับผิดชอบในการเรียนรู้ ศึกษาค้นคว้าด้วยตนเองและเรียนรู้เป็นกลุ่มได้

5. **หัวข้อวิชา (Course Outline)**

1. Introduction
2. Number Systems
3. Codes
4. Digital Circuit (overview)
5. Combinational Logic Design Principles
6. Combinational Logic Design Practices
7. Combinational Logic Design Examples (overview)
8. Sequential Logic Design Principles
9. Sequential Logic Design Practices
10. Additional Topics

6. วิธีการสอน

การบรรยาย การทำแบบฝึกหัด และการทำโครงงาน

7. อุปกรณ์สื่อการสอน

เอกสารประกอบคำบรรยาย White board LCD projector และ course website

8. การวัดผลสัมฤทธิ์ในการเรียน จำนวนเปอร์เซ็นต์ (เกณฑ์ขั้นต่ำ)

ส่วนที่ 1 การเข้าชั้นเรียน การบ้าน แบบฝึกหัด และ Quiz	10 %	(4%)
ส่วนที่ 2 โครงงาน 1	7 %	(4%)
ส่วนที่ 3 โครงงาน 2	8 %	(4%)
ส่วนที่ 4 การสอบกลางภาค	35 %	(4%)
ส่วนที่ 5 การสอบปลายภาค	40 %	(4%)
รวม	100 %	

9. การประเมินผลการเรียน

หากได้คะแนนส่วนใดส่วนหนึ่งของข้อ 8 ได้ต่ำกว่าเกณฑ์ขั้นต่ำ จะ**หักคะแนน 5%** จากคะแนนที่ได้ในส่วนนั้น

(เช่น หากส่วนที่ 1-5 ได้คะแนน 8% 6% 0% 20% 3% ตามลำดับ จะคิดเป็น 8% + 6%+ (0-5%)+20%+(3%-5%)= 26%)

หากคะแนนรวมทั้งหมด**ต่ำกว่า 35%** เกรด **F**

หากได้คะแนนคะแนนรวม**ไม่ต่ำกว่า 35%** ให้เกรดแบบอิงเกณฑ์ผสมกับการอิงกลุ่ม โดยมีช่วงคะแนนคร่าวๆดังนี้

A	B^+	B	C^+	C	D^+	D
80%~100%	75%~80%	70%~75%	65%~70%	60%~65%	50%~60%	35%~50%

10. การให้โอกาสนอกเวลาเรียนแก่นิสิตเข้าพบและให้คำแนะนำในด้านการเรียน

หมู่ที่ 1, 350

ผศ.ดร.ดุสิต ธนเพทาย ห้อง 2506 ชั้น 5 ตึกวิศวกรรมไฟฟ้า Email address: fengdus@ku.ac.th

หมู่ที่ 2, 351

อ.กุลภวา จามรมาน ห้อง 2603/4 ชั้น 6 ตึกวิศวกรรมไฟฟ้า Email address: fenggpj@ku.ac.th

เอกสารอ่านประกอบ

1. John F. Wakerly, Digital Design Principles & Practices (4th edition), Prentice Hall; ISBN: 0-13-086389-4.
2. Lecture notes
   อ่านเพิ่มเติม
3. Stephen Brown and Zvonko Vranesic, Foundamentals of Digital Logic with VHDL Design, McGraw-Hill, Inc., ISBN 0-07-116168-6
4. Ronald J. Tocci and Neal S. Widmer, Digital Systems Principles and Applications, 8th Edition, Prentice Hall International, Inc., ISBN 0-13-085634-7.
5. Burger, Peter. , Digital Design A Practical Course , John Wiley & Sons, Inc., ISBN 0-471-61229-4

12. ตารางกิจกรรมวิชา 01205232 ภาคปลาย ปี 2558

สัปดาห์	เนื้อหา
1	**Introduction, Number Systems and codes:** Binary, Octal, Hexadecimal, and Binary arithmetic and codes
2	**Number Systems and codes:** Binary arithmetic and codes
3	**Digital Circuits:** (overview)**, Combinational Logic Design Principles:** Switching algebra
4	**Combinational Logic Design Principles:** Combinational-circuit analysis and Combinational-circuit Synthesis
5	**Combinational Logic Design Practices:** Decoder, Encoder, and Three-state devices XOR gates
6	**Combinational Logic Design Practices:** Comparators, Adders, Subtractors, and Multipliers
7	**Combinational Logic Design Examples (overview)**
8	**Midterm (8:00-11:00 a.m. 25th March 2016)**
9	**Sequential Logic Design Principles:** Bi-stable elements, Latches, and Flip-Flops
10	**Sequential Logic Design Principles:** State-Machine analysis
11	**Sequential Logic Design Practices:** State-Machine design
12	**Sequential Logic Design Practices:** Latches and Flip-Flops
13	**Sequential Logic Design Practices:** Counter
14	**Sequential Logic Design Practices:** Shift Register
15	**Sequential Logic Design Examples (overview)**
16	**Final Examination (9:00-12:00 a.m. 19th May 2016)**

13. คณะผู้สอน

ภาคปกติ

หมู่ 1	**ผศ.ดร.ดุสิต ธนเพทาย**	ห้อง 3301 จันทร์, พุธ 14: 30-16:00 น.
หมู่ 2	**อ.กุลภวา จามรมาน**	ห้อง 3302 จันทร์, พุธ 14: 30-16:00 น.

ภาคพิเศษ

หมู่ 350	**ผศ.ดร.ดุสิต ธนเพทาย**	ห้อง 3111 จันทร์, พุธ 9:00-10:30 น.
หมู่ 351	**อ.กุลภวา จามรมาน**	ห้อง 3211 จันทร์, พุธ 9:00-10:30 น.

ลงนาม_____ผู้รายงาน

(นายดุสิต ธนเพทาย)

วันที่ 8 **มกราคม พ.ศ.** 2559